

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki NAGASAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR AND SEMICONDUCTOR SUBSTRATE, METHOD OF MANUFACTURING
THE SAME, AND SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-364009	December 16, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Masayasu Mori

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Registration No. 47,301
C. Irvin McClelland
Registration Number 21,124

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月16日

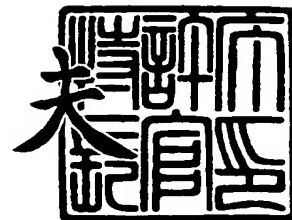
出願番号
Application Number: 特願2002-364009
[ST. 10/C]: [JP 2002-364009]

出願人
Applicant(s): HOYAアドバンスドセミコンダクタテクノロジーズ株式会社

2003年 9月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3073562

【書類名】 特許願

【整理番号】 A25124H

【提出日】 平成14年12月16日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 東京都昭島市武蔵野3丁目3番1号 HOYAアドバンスドセミコンダクタテクノロジーズ株式会社内

【氏名】 長澤 弘幸

【特許出願人】

【住所又は居所】 東京都昭島市武蔵野3丁目3番1号

【氏名又は名称】 HOYAアドバンスドセミコンダクタテクノロジーズ株式会社

【代理人】

【識別番号】 110000109

【氏名又は名称】 特許業務法人特許事務所サイクス

【代表者】 今村 正純

【手数料の表示】

【予納台帳番号】 170347

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体及び半導体基板、その製造方法、並びに半導体素子

【特許請求の範囲】

【請求項 1】 化合物単結晶からなり、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である領域(以下、高欠陥密度領域という)及び面欠陥密度が $1 / \text{cm}^2$ 以下である領域(以下、低欠陥密度領域という)を含む半導体。

【請求項 2】 前記高欠陥密度領域の室温における電子濃度が、前記低欠陥密度領域の室温における電子濃度の 10 倍以上である請求項 1 に記載の半導体。

【請求項 3】 少なくとも 1 対の略平行な対向する面を有する板状体であり、一方の面は高欠陥密度領域が露出し(以下、高欠陥密度面という)、他方の面は低欠陥密度領域が露出する(以下、低欠陥密度面という)請求項 1 または 2 に記載の半導体。

【請求項 4】 前記面欠陥が、反位相領域境界面、積層不正、及び小傾角粒界の少なくとも 1 種である請求項 1 ～ 3 のいずれか 1 項に記載の半導体。

【請求項 5】 前記化合物単結晶が、I V - I V 族化合物単結晶、または I I I - V 族化合物単結晶、または I I - V I 族化合物単結晶である請求項 1 ～ 4 のいずれか 1 項に記載の半導体。

【請求項 6】 前記化合物単結晶が、立方晶である請求項 1 ～ 5 のいずれか 1 項に記載の半導体。

【請求項 7】 前記高欠陥密度領域と前記低欠陥密度領域にはさまれた遷移領域を有し、かつ該遷移領域は、厚みが $5 \mu\text{m}$ 以下であり、欠陥密度の勾配が $4 \times 10^9 / \text{cm}^3$ 以上である請求項 1 ～ 6 のいずれか 1 項に記載の半導体。

【請求項 8】 基板上に請求項 1 ～ 7 のいずれか 1 項に記載の半導体を設けた半導体基板。

【請求項 9】 基板上に高欠陥密度領域及び低欠陥密度領域をこの順に有する請求項 8 に記載の半導体基板。

【請求項 10】 被成長基板上に、気相又は液相より化合物単結晶を成長させる方法であって、

前記被成長基板表面上に $1 \times 10^7 / \text{cm}^2$ 以上の密度で面欠陥を有する化合物

単結晶層を成長させる工程、及び

前記化合物単結晶層表面に露出した面欠陥の伝搬方位と異なる方位に化合物単結晶層を成長させて、面欠陥密度が $1/\text{cm}^2$ 以下である化合物単結晶層を得る工程

を含むことを特徴とする請求項 1～7 のいずれか 1 項に記載の半導体または請求項 8 若しくは 9 に記載の半導体基板の製造方法。

【請求項 11】 前記 $1 \times 10^7/\text{cm}^2$ 以上の密度で面欠陥を有する化合物単結晶層の成長を、前記被成長基板表面に $1 \times 10^7/\text{cm}^2$ 以上の密度で面欠陥を発生させ、かつこの面欠陥を常に表面に露出させて、この面欠陥構造を伝播させることで行う、請求項 10 に記載の製造方法。

【請求項 12】 面欠陥密度が $1/\text{cm}^2$ 以下である化合物単結晶層を得た後、被成長基板を削除して、請求項 1～7 のいずれか 1 項に記載の半導体を得る、請求項 10 または 11 に記載の製造方法。

【請求項 13】 少なくとも一つの抵抗性接触を有する電極と、少なくとも一つの非抵抗性接触を有する電極を有する半導体素子であって、請求項 1～7 のいずれかに記載の半導体の高欠陥密度領域に抵抗性接触が形成され、かつ低欠陥密度領域に非抵抗性接触が形成されていることを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、能動的な半導体素子、特にパワー半導体素子、または LED や LD などの半導体発光素子の素材として用いることができる半導体及び半導体基板、その製造方法、並びに前記半導体を用いた半導体素子に関する。本発明は、特に、降伏電圧や発光効率を向上させつつ、電力損失の少ない半導体素子を得るための半導体及び半導体基板、その製造法並びに前記半導体を用いた半導体素子に関する。

【0002】

【従来の技術】

半導体素子の降伏電圧は、その素材となる半導体の禁制帯幅（エネルギーバン



ドギャップ)、絶縁破壊電界強度、空乏層幅により左右され、禁制帯幅が広く、絶縁破壊電界強度が高い半導体を素材として用いる程、半導体素子の降伏電圧は向上する。また、同じ絶縁破壊電界強度であっても、能動領域に形成される空乏層幅が広い程、降伏電圧は向上する。空乏層幅は、能動領域に添加されたドナーやアクセプターなどの不純物濃度の平方根に反比例するため、不純物を添加して、降伏電圧を調整することが行われている(特許文献1参照)。通常は、降伏電圧を高くする必要のある半導体素子においては、能動領域の添加不純物濃度は低減される。

【0003】

しかしながら、半導体の抵抗率は不純物濃度に反比例するため、降伏電圧の高い半導体素子ほど、オン状態の素子内部の抵抗(オン抵抗)は高くなる傾向がある。オン抵抗増大は電力損失の増大とそれにとまなう発熱をもたらす。したがって、降伏電圧を向上しつつ素子内部での電力損失を低減するためには、禁制帯幅が広く(ワイドバンドギャップ)、かつ絶縁破壊電界強度の高い半導体基板を用いなければならない。このため、広く半導体基板として用いられているシリコン(Si)に代わり、炭化珪素(SiC)や窒化ガリウム(GaN)など禁制帯の広い半導体材料がパワー半導体素子の素材として用いられ始めている。

【0004】

上述のように、半導体素子の禁制帯幅が広いほど、降伏電圧向上やオン抵抗低減に有利である。反面、禁制帯幅の増大は、抵抗性接触の電極(オーミック電極)を得ること、及びコンタクト抵抗を低減することを困難にする。例えば、ショットキーバリアダイオード(SBD)では、ショットキーコンタクト近傍は空乏層を広げるために低不純物濃度とし、オーミックコンタクト近傍は、低コンタクト抵抗を低減するために高濃度の不純物を添加する。原理的には半導体素子の厚みは、所望の耐圧を確保する空乏層幅程度であれば良く、その値は一般的には $10\mu\text{m}$ 以下である。しかし、機械的強度を向上させる必要があるため、数百ミクロンの低抵抗基板上に $10\mu\text{m}$ 程度の低濃度層を形成し、その表面にショットキーコンタクトが形成される。従って、均一性と制御性の高いパワー半導体素子を作製するためには、基板上に形成される低濃度層の濃度と厚みの均一性が重要で

ある。また、オン抵抗を極力低減するために、基板はできる限り高濃度ドーピングが必要となる。

【0005】

高降伏電圧の活性層を得るためには、高抵抗のホモエピタキシャル成長層を形成する必要があるが、このホモエピタキシャル成長層内に反位相領域境界面や積層欠陥、そして小傾粒界などが含まれる場合、それらが電子や正孔源として振る舞い、所定の降伏電圧を得ることが困難となる。このため、欠陥を低減するために、ELO法やアンジュレーション法などが用いられている（特許文献2参照）。しかし、上記いずれの方法においても、エピタキシャル層の形成に先立ち、基板表面の加工が必要となる。また、ELO法においては、結晶同士の融合領域に面欠陥が残留してしまい、この欠陥を通じて電流の漏洩などが起こる。また、アンジュレーション法では加工時のスロープの統計的な対称性を保たなければならず、膜厚に対する結晶欠陥の低減が膜厚の反比例であるため、完全な面欠陥の解消は不可能である。

【0006】

【特許文献1】

特開 2002-57109 号公報

【特許文献2】

特開 2000-178790 号公報

【0007】

【発明が解決しようとする課題】

そこで、本発明の目的は、基板側の低抵抗化、及びその上層のエピタキシャル成長層の高抵抗化を実現した半導体及び半導体基板、その製造方法、並びにその半導体を用いる半導体素子を提供することである。

【0008】

【課題を解決するための手段】

上記目的を解決するための手段は、以下の通りである。

(1) 化合物単結晶からなり、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である領域（以下、高欠陥密度領域という）及び面欠陥密度が $1 / \text{cm}^2$ 以下である領域（以

下、低欠陥密度領域という)を含む半導体。

(2) 前記高欠陥密度領域の室温における電子濃度が、前記低欠陥密度領域の室温における電子濃度の10倍以上である(1)に記載の半導体。

(3) 少なくとも1対の略平行な対向する面を有する板状体であり、一方の面は高欠陥密度領域が露出し(以下、高欠陥密度面という)、他方の面は低欠陥密度領域が露出する(以下、低欠陥密度面という)(1)または(2)に記載の半導体。

(4) 前記面欠陥が、反位相領域境界面、積層不正、及び小傾角粒界の少なくとも1種である(1)～(3)のいずれか1項に記載の半導体。

(5) 前記化合物単結晶が、IⅤ-IⅤ族化合物単結晶、またはIⅢI-V族化合物単結晶、またはIⅢ-VⅢ族化合物単結晶である(1)～(4)のいずれか1項に記載の半導体。

(6) 前記化合物単結晶が、立方晶である(1)～(5)のいずれかに記載の半導体。

(7) 前記高欠陥密度領域と前記低欠陥密度領域には含まれた遷移領域を有し、かつ該遷移領域は、厚みが $5\mu\text{m}$ 以下であり、欠陥密度の勾配が $4 \times 10^9/\text{cm}^3$ 以上である(1)～(6)のいずれかに記載の半導体。

(8) 基板上に(1)～(7)のいずれかに記載の半導体を設けた半導体基板。

(9) 基板上に高欠陥密度領域及び低欠陥密度領域をこの順に有する(8)に記載の半導体基板。

(10) 被成長基板上に、気相又は液相より化合物単結晶を成長させる方法であって、

前記被成長基板表面上に $1 \times 10^7/\text{cm}^2$ 以上の密度で面欠陥を有する化合物単結晶層を成長させる工程、及び

前記化合物単結晶層表面に露出した面欠陥の伝搬方位と異なる方位に化合物単結晶層を成長させて、面欠陥密度が $1/\text{cm}^2$ 以下である化合物単結晶層を得る工程

を含むことを特徴とする(1)～(7)のいずれかに記載の半導体または(8)

若しくは(9)に記載の半導体基板の製造方法。

(11) 前記 $1 \times 10^7 / \text{cm}^2$ 以上の密度で面欠陥を有する化合物単結晶層の成長を、前記被成長基板表面に $1 \times 10^7 / \text{cm}^2$ 以上の密度で面欠陥を発生させ、かつこの面欠陥を常に表面に露出させて、この面欠陥構造を伝播させることで行う、(10)に記載の製造方法。

(12) 面欠陥密度が $1 / \text{cm}^2$ 以下である化合物単結晶層を得た後、被成長基板を削除して、(1)～(7)のいずれか1項に記載の半導体を得る、(10)または(11)に記載の製造方法。

(13) 少なくとも一つの抵抗性接触を有する電極と、少なくとも一つの非抵抗性接触を有する電極を有する半導体素子であって、(1)～(7)のいずれかに記載の半導体の高欠陥密度領域に抵抗性接触が形成され、かつ低欠陥密度領域に非抵抗性接触が形成されていることを特徴とする半導体素子。

【0009】

【発明の実施の形態】

本発明の半導体は、化合物単結晶からなり、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である高欠陥密度領域及び面欠陥密度が $1 / \text{cm}^2$ 以下である低欠陥密度領域を含むことを特徴とする。また、本発明の半導体は、少なくとも1対の略平行な対向する面を有する板状体であり、一方の面は面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である高欠陥密度領域が露出し（高欠陥密度面）、他方の面は面欠陥密度が $1 / \text{cm}^2$ 以下である低欠陥密度領域が露出する（低欠陥密度面）半導体であることもできる。

更に、本発明は、基板上に本発明の半導体を設けた半導体基板にも関する。

【0010】

本発明の半導体は、高濃度の導電性の面欠陥を有する領域（高欠陥密度領域）を有することにより、不純物導入によらずに低抵抗の抵抗性接触を得ることができる。

また、降伏電圧の低下や漏洩電流の増大をもたらし面欠陥濃度が少ない領域（低欠陥密度領域）を有することにより、高耐圧かつ高効率のパワー半導体デバイスを実現することができる。本発明の半導体は、特に、面欠陥同士の会合消滅に

よらずに面欠陥を低減又は解消するため、膜厚に対する減少傾向の飽和が起こらない。

従って、低抵抗領域（高欠陥密度領域）と高抵抗領域（低欠陥密度領域）との界面を急峻にすることができ、また、不純物の外部拡散やメモリー効果が起こらないので、制御性と均一性の高いパワー半導体デバイスの形成が可能となる。更に、欠陥によって抵抗性接触を得ているため、温度依存性が少ないという利点も有する。

【0011】

前記高欠陥密度領域における面欠陥密度は、 $1 \times 10^7 / \text{cm}^2$ 以上であり、好ましくは $1 \times 10^9 / \text{cm}^2$ 以上であり、更に好ましくは $1 \times 10^{10} / \text{cm}^2$ 以上である。面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 未満では、その欠陥を含む領域の抵抗率が、欠陥を含まない領域の値の10分の1以下とはならず、デバイスのオン抵抗が下がらない。

【0012】

前記低欠陥密度領域における面欠陥密度は、 $1 / \text{cm}^2$ 以下であり、好ましくは $0.1 / \text{cm}^2$ 以下であり、更に好ましくは $0.01 / \text{cm}^2$ 以下である。面欠陥密度が $1 / \text{cm}^2$ を超えると、その領域でのリーク電流が増加し、良好なデバイス特性が実現されない。

【0013】

面欠陥密度は、熔融KOH等を用いたエッチングにより欠陥が表面に露出した場所にエッチピットを形成し、そのエッチピット数を顕微鏡を用いて数えることにより測定することができる。

【0014】

本発明の半導体において、高欠陥密度領域の室温における電子濃度は、低欠陥密度領域の室温における電子濃度の10倍以上であることが好ましく、100倍以上であることが更に好ましい。電子濃度が10倍以上であれば、デバイスのオン抵抗が下がるため好ましい。

【0015】

電子濃度は、四端子法で抵抗率 ρ を求め、ホール効果により電子移動度 μ を求

めることにより、

$$\text{電子密度 } n = 1 / (e \cdot \rho \cdot \mu)$$

として算出することができる。

【0016】

本発明の半導体は、IV-IV族化合物単結晶、またはIII-V族化合物単結晶、またはII-VI族化合物単結晶からなるものであることができる。具体的には、GaAs、AlAs、InAs、GaP、GaSb、InP、InSb、ZnS、ZnSe、CdS、CdTe、HgTe等の化合物単結晶を挙げることができる。また、本発明の半導体は、結晶の成長方位に対して垂直ではない面に延在する面欠陥を有する結晶であることが好ましい。このような結晶としては、立方晶等が挙げられる。本発明の半導体を構成する化合物単結晶は、例えば、立方晶の炭化珪素(SiC)、窒化ガリウム(GaN)、インジウム燐(InP)、ガリウム砒素(GaAs)、インジウム砒素(InAs)、アルミニウム砒素(AlAs)、及びそれらの混晶等であることができる。

【0017】

本発明の半導体に含まれる面欠陥は、反位相領域境界面(APB)、積層不正(SF)、及び少傾角粒界(SAGB)の少なくとも一種であることができる。化合物半導体結晶中においてこれらの面欠陥は電気的中性条件を局部的に乱し、電子や正孔などのキャリア濃度を増加させる。従って、これらの欠陥濃度を高めるほど、高濃度不純物を添加した場合と同様の効果が得られるため、基板側の面やオーミックコンタクト層として好ましい。

【0018】

本発明の半導体において、低抵抗領域(高欠陥密度領域)と高抵抗領域(低欠陥密度領域)の境界は、結晶成長工程のみで任意に設定することができ、境界の挿入位置によって、デバイスの降伏電圧を任意にコントロールすることができる。結晶欠陥密度の密度勾配は、 $4 \times 10^9 / \text{cm}^3$ 以上であることが好ましい。

本発明の半導体では、所望の位置において面欠陥密度の大きく変化する領域を形成することにより、素子の降伏電圧や抵抗の設定を容易に行うことができる。さらには、イオン注入や熱拡散など不純物の添加工程が無く、半導体基板製造工

程のみで、低抵抗のコンタクト層と低欠陥密度の高抵抗活性層を得ることが可能となり、歩留まりやコストを低減することが可能となる。

【0 0 1 9】

以下、本発明の半導体の製造法について、更に詳細に説明する。

本発明の半導体は、被成長基板上に、この基板と同一または異なる化合物単結晶層の2層以上を、気相又は液相から、順次エピタキシャル成長させることにより得ることができる。

【0 0 2 0】

本発明では、被成長基板を構成する単結晶と格子定数が異なる単結晶を成長させることにより、被成長基板上に、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である高欠陥密度領域を形成することができる。更に、被成長基板の法線軸を、特定の結晶面（例えば、(001)面）に対して、特定の方位（例えば、[110]方位）に傾斜させることにより、面欠陥を一方向に収束させることができるため、その膜厚によらず、面欠陥は、 $1 \times 10^7 / \text{cm}^2$ 以上の密度で平行に伝播する。これにより、面欠陥を常に表面に露出させて、その面欠陥構造を伝播しつつ結晶を成長させることができる。

【0 0 2 1】

結晶を成長させる際の過飽和度を意図的に高める（例えば、気相成長の場合には、原料の濃度を急激に高めたり、基板温度を急激に下げる）と、核発生頻度が高まり、多核成長が発現する。その後、隣接核同士が結合するまで結晶成長を行うと、結合部には面欠陥が形成される。従って、面欠陥密度は、過飽和度を変えることにより制御することができるので、結晶成長時の過飽和度を変えることにより、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上の層を、基板上に形成することができる。

【0 0 2 2】

本発明では、前記高欠陥密度領域の表面に露出した面欠陥構造の伝播方位と異なる方位に母結晶を成長させることにより、成長表面における面欠陥伝播を終端させ、面欠陥密度が $1 / \text{cm}^2$ 以下の低欠陥密度領域を形成することができる。特に、面欠陥の伝搬方位と母結晶の伝搬方位のなす角度は10度以上であること

が望ましい。この角度が10度以上であれば、面欠陥をできるだけ限られた領域で封止し、面欠陥を終端させることができる。このためには、例えば、成長中の膜表面に、凹凸等の加工を行い、面欠陥の伝搬方位と異なる方位に母結晶を成長させる方法、面欠陥表面に、面欠陥の伝搬をさえぎるようなマスクを選択的に形成する等の方法等を用いることができる。具体的には、高欠陥密度領域の表面に、ファセットを形成する方法、アンジュレーション（起伏）を形成する方法や、溝状の孔やエッチピットを形成する方法などを用いることができる。ファセット等を設けた表面上に単結晶を積層していくと、徐々にファセット等の高低差が淘汰され、単結晶層の厚さ100 μm 程度で平滑な鏡面を得ることができる。従って、膜厚がそれ以上になると、ステップ密度が低いため、二次元核発生による成長がもたらされる。

【0023】

本発明では、高欠陥密度領域上に直接低欠陥密度領域を設けることもできるが、高欠陥密度領域と低欠陥密度領域との間に、欠陥密度の勾配が、 $4 \times 10^9 / \text{cm}^3$ 以上を示す領域（遷移領域）を有することもできる。遷移領域の厚みは、5 μm 以下であることが好ましく、1 μm 以下であることがより好ましい。この場合、前記高欠陥密度領域上に、ファセット等を形成した後に、結晶成長を行うことにより、遷移領域を形成し、該遷移領域表面上に、更にファセット等を設けた後に結晶成長を行い、低欠陥密度面を形成することができる。

【0024】

欠陥密度勾配は、表面を徐々に研磨しながら前述したエッチピットの数进行数え、研磨量に対するエッチピット密度的变化量（微分値）として求めることができる。

【0025】

ファセットや起伏等を形成する方法としては、光リソグラフィ技術、プレス加工技術、レーザー加工や超音波加工技術、研磨加工技術など複数のものが挙げられる。何れの方法を用いても、高欠陥密度領域内で伝播された面欠陥が、低欠陥密度領域において、効果的に低減または解消し得るのに十分な程度の形態を有していれば良い。光リソグラフィ技術を用いれば、高欠陥密度面の表面に転写する

マスクパターンを任意に形成することで、任意の形状のファセット等を、該表面上に転写することが可能である。例えばパターンの線幅を変えることで、ファセット等の形状の幅を制御することが可能であり、また、レジストと基板のエッチング選択比を制御することで、その深さや斜面の角度を制御することが可能である。矩形のパターン形状を嫌う場合でも、レジストにパターン転写した後、熱処理によりレジストを軟化させて波状形状のパターンを形成することが可能である。プレス加工技術を用いれば、プレス用の型を任意に形成することで、被成長面上に任意の形状のファセット等を形成することが可能である。様々な形状の型を形成することで、様々な形状のファセット等を被成長基板上に形成することができる。レーザー加工や超音波加工技術を用いれば、基板に直接ファセット等の形状を加工形成することができるので、より微細な加工が可能である。研磨加工を用いれば、研磨の砥粒径の大きさや加工圧力を変化することで、起伏形状の幅や深さを制御することが可能である。一方向にファセットや起伏を形成する場合には、研磨は一方向のみに行われる。

【0026】

低欠陥密度領域の面欠陥密度を $1/\text{cm}^2$ 以下にするためには、ファセットの辺は、できるだけ面欠陥と平行であり、かつファセットの底部に面欠陥が位置することが望ましい。その後の成長では、ファセットができるだけ基板の法線方向と垂直に成長する条件を用いることが望ましい。更には、隣接したファセット同士が対向していることが望ましい。

【0027】

ここでは、結晶成長において、被成長基板上に高欠陥密度領域を形成後、低欠陥密度領域を形成する方法について説明したが、本発明には、低欠陥密度領域を形成した後に、高欠陥密度領域を形成する態様も包含される。例えば、被成長基板上に低欠陥密度領域を形成した後に、結晶成長条件を大幅にずらし、面欠陥の二次元核形成頻度を大幅に高めつつ、結晶成長を行うことにより、低欠陥密度領域上に高欠陥密度領域を形成することができる。

【0028】

本発明の半導体は、結晶成長終了後に、被成長基板を、例えばアニーリングに

よって融かして除去した後に用いることもでき、又は、被成長基板を除去せずに用いることもできる。

【0029】

本発明の半導体は、高欠陥密度の膜と低欠陥密度の膜を張り合わせるることによって形成することもできる。この場合は、例えば、低欠陥密度面及び高欠陥密度面の双方に、過酸化水素＋硫酸処理などにより、OH基を形成せしめ、その面同士をファンデルワールス力により接着した後に、例えば1600℃以上の熱処理を加え、界面のO原子を拡散させて、強固な連続界面を得る方法を用いることができる。

【0030】

本発明の半導体の高欠陥密度面に抵抗性接触を形成し、低欠陥密度面に非抵抗性接触を形成することにより、少なくとも一つの抵抗性接触を有する電極と、少なくとも一つの非抵抗性接触を有する電極を有する半導体素子を得ることができる。本発明の半導体を用いる半導体素子としては、ショットキーバリアーダイオード、MOS-FET、MES-FET、IGBT、GTO、サイリスタ、圧力センサ、UVセンサ、赤外線センサ等を挙げることができる。

【0031】

【実施例】

以下、本発明を実施例により具体的に説明するが、本発明は、これらに限定されるものではない。

（実施例1）

[110] 方位に1～4° 傾斜した法線軸を有するSi(001) 基板の上に、表1の条件で立方晶炭化珪素(3C-SiC) をヘテロエピタキシャル成長させた。この際、格子定数の違いにより3C-SiC/Si 界面において高密度の積層不正が発生するが、法線軸の傾斜の影響により積層不正が1方向に収束して、その膜厚によらず積層不正は $1 \times 10^7 - 1 \times 10^{10} / \text{cm}^2$ の密度で(111)面に平行に伝搬する。この際の積層不正の分布を図1(a)に模式的に示した。成長層は不純物を添加していないにもかかわらず、積層不正による電気伝導の影響を受けて $0.001 \Omega - \text{cm}$ 以下の抵抗率を示した。

【0032】

【表1】

表1 実施例1におけるSiC成長条件

基板温度	1320°C
圧力	1.3Torr
SiH ₄ 流量	50sccm
C ₃ H ₈ 流量	34sccm
H ₂ 流量	3slm

【0033】

このような成長表面を覆うようにして $[-1, -1, 0]$ 方位に4～8度傾斜したファセットを形成した(図1(b))。ファセットは70 μm 間隔で形成し、断面は鋸形を示すように加工した。断面の凹凸は約5 μm である。ファセット形成にはダイヤモンド砥粒を用いた部分研磨を実施した。この表面上に再度、表1の条件を用いて3C-SiCの成長を実施した(2次成長)。この2次成長により $[-1, -1, 0]$ 方位への結晶の横方向成長がもたらされ、図1(c)のように(111)面に平行な面欠陥の伝播が $[-1, -1, 0]$ 方位に成長する母結晶によって阻まれ、 $2 \times 10^9 / \text{cm}^3$ 以上の密度勾配で積層不正が解消された。また、積層不正が終端されている領域の厚みは、ファセットの凹凸である5 μm 以内に限定されていた。2次成長層の抵抗率を微分ホール測定により求めたところ、 $130 \Omega \cdot \text{cm}$ を示した。

最後に、基板であるSiをHF+HNO₃溶液を用いて選択的に除去し、フリースタANDINGの3C-SiCを得た。この半導体の高欠陥密度領域の電子濃度は、 $10^{19} / \text{cm}^3$ 、低欠陥密度領域の電子濃度は $10^{15} / \text{cm}^3$ であった。次いで、初期に成長した面(これまでSi基板と接していた面)の全面に3000 Åの厚みを有するNiを蒸着し、2次成長を施した面に直径300 μm 、厚み3000 ÅのNi電極を形成した(図2)。初期成長面側のNi電極はオーミック

な特性を示し、その接触抵抗は $1 \times 10^{-7} / \text{cm}^2$ であった。また、2次成長面の Ni 電極は非オーミックな特性を示し、その障壁高さは 1.2 eV を示した。素子の降伏電圧は2次成長層の膜厚によって変化した。表2に示すように、本方法により作製したショットキーバリアダイオードは、不純物プロファイルを有していないにも関わらず、2次成長層の膜厚でその降伏電圧を制御することができる。

【0034】

【表2】

表2 2次成長層厚と降伏電圧の関係

2次成長層 (μm)	降伏電圧 (V)
2	3
3	39
4	83
5	120
7	470
10	690
15	720
19	720
25	720
30	720

【0035】

(実施例2)

Si (001) 基板にて表1の条件で3C-SiC成長した。成長初期には {111} 面に平行に伝播する反位相領域境界面と積層不正が発生した(図3(a))。積層不正と反位相領域境界面の密度は3C-SiCの膜厚によって変化するが、厚みが100 μm 程度の場合、 $7 \times 10^8 / \text{cm}^2$ となる。その後、実施例1と同様な手段を用いて、表面に $[-110]$ 方位に4度傾いたファセットを設けた。ファセットは70 μm 間隔で形成し、断面は鋸形を示すように加工した(図3(b))。断面の凹凸は約5 μm である。その後、さらに100 μm の3C-SiCを成長させると、表面の傾斜の影響により $[-1, -1, 0]$ 方位の結晶の横方向成長がもたらされ、反位相領域境界面が消失するとともに、積層不正も $[-1, -1, 0]$ 方位に収束され、最表面での密度は $3 \times 10^8 / \text{cm}^2$ となった。ただし、積層不正は全て $(-1, -1, 1)$ 面に平行であるため、これ以上膜厚を増加させても積層不正の密度は減少しない(図3(c))。さらにこのような成長表面全面に対し、前述と同様な手法を用いて $[110]$ 方位に4度傾斜したファセットを形成する(図3(d))。ファセットは70 μm 間隔で形成し、断面は鋸形を示すように加工した。断面の凹凸は約5 μm である。この表面上に再度3C-SiCの成長(3次成長)を行うことにより、表面の傾斜の影響により $[110]$ 方位の結晶の横方向成長がもたらされ、積層不正が終端された(図3(e))。積層不正の終端された領域の厚みは5 μm 以内であり、その面欠陥密度勾配は $6 \times 10^{11} / \text{cm}^3$ であった。この半導体の高欠陥密度領域の電子濃度は $10^{19} / \text{cm}^3$ であり、低欠陥密度領域の電子濃度は $10^{15} / \text{cm}^3$ であった。3次成長層の抵抗率を微分ホール測定により求めたところ、 $130 \Omega \cdot \text{cm}$ を示した。また、実施例1の結果からも明らかなように、本実施例の半導体からダイオードを作製する場合は、3次成長層の膜厚によりダイオードの耐圧を制御することができる。

【0036】

(実施例3)

$[110]$ 方位に1~4°傾斜した法線軸を有するSi(001)基板上に、表1の条件で立方晶炭化珪素(3C-SiC)をヘテロエピタキシャル成長させた。この際、格子定数の違いにより3C-SiC/Si界面において高密度の積

層不正が発生するが、法線軸の傾斜の影響により積層不正が1方向に収束して、その膜厚によらず積層不正は $1 \times 10^7 - 1 \times 10^{10} / \text{cm}^2$ の密度で(111)面に平行に伝搬する。この際の積層不正の分布は図1(a)に示したとおりである。このような成長表面を500℃の熔融KOHで10分間エッチング処理を行うと、積層不正部の表面層約 $5 \mu\text{m}$ がエッチングされ、溝状の孔が形成される(図4(a))。この表面上に再度、表1の条件を用いて3C-SiCの成長を実施した(2次成長)。この2次成長により溝部において $[-1, -1, 0]$ および $[110]$ 方位への結晶の横方向成長がもたらされ、図4(b)のように(111)面に平行な面欠陥の伝播が $[-1, -1, 0]$ 、 $[110]$ 方位に成長する母結晶によって阻まれ、 $2 \times 10^9 / \text{cm}^3$ 以上の密度勾配で積層不正が解消された。また、積層不正が終端されている領域の厚みは、溝部の深さである $5 \mu\text{m}$ 以内に限られていた。この半導体の高欠陥密度領域の電子濃度は $10^{19} / \text{cm}^3$ であり、低欠陥密度領域の電子濃度は $10^{15} / \text{cm}^3$ であった。2次成長層の抵抗率を微分ホール測定により求めたところ、 $130 \Omega \cdot \text{cm}$ を示した。また、実施例1の結果からも明らかなように、本実施例の半導体からダイオードを作製する場合は、2次成長層の膜厚により、ダイオードの耐圧を制御することができる。

【0037】

(実施例4)

$[110]$ 方位に $1 \sim 4^\circ$ 傾斜した法線軸を有するSi(001)基板上に、表1の条件で立方晶炭化珪素(3C-SiC)をヘテロエピタキシャル成長させた。この際、格子定数の違いにより3C-SiC/Si界面において高密度の積層不正が発生するが、法線軸の傾斜の影響により積層不正が1方向に収束して、その膜厚によらず積層不正は $1 \times 10^7 - 1 \times 10^{10} / \text{cm}^2$ の密度で(111)面に平行に伝搬する。この際の積層不正の分布は図1に示したとおりである。次に基板であるSiをHF+HNO₃溶液を用いて選択的に除去し、フリースタANDINGの3C-SiCを得た。次いで、初期に成長した面(これまでSi基板と接していた面)の全面に 3000 \AA の厚みを有するWを蒸着した。次いで、この3C-SiC基板を50%のHF溶液に浸し、表面から1cm離れた場所に、

対向する様に白金のメッシュ電極を設け、裏面W電極を陰極、白金電極を陽極とし、 1 mA/cm^2 の電流密度で直流電流を流して、3C-SiC表面をエッチングした(図5)。エッチングの際、積層欠陥部が電流の経路として振舞うため、積層欠陥上部のみが選択的にエッチングされる。10分間のエッチングにより約 $10\text{ }\mu\text{m}$ の溝状のエッチピットを形成した(図6(a))。その後、裏面のW電極をフェリシアン化カリウムとKOHの混合溶液で除去し、表1の条件で3C-SiCのホモエピタキシャル成長を実施した(2次成長)。この2次成長により溝部において $[-1, -1, 0]$ および $[110]$ 方位への結晶の横方向成長がもたらされ、図6(b)のように (111) 面に平行な面欠陥の伝播が $[-1, -1, 0]$ 、 $[110]$ 方位に成長する母結晶によって阻まれ、 $2 \times 10^9/\text{cm}^3$ 以上の密度勾配で積層不正が解消された。また、積層不正が終端されている領域の厚みは、溝部の深さである $5\text{ }\mu\text{m}$ 以内に限られていた。この半導体の高欠陥密度領域の電子濃度は $10^{19}/\text{cm}^3$ であり、低欠陥密度領域の電子濃度は $10^{15}/\text{cm}^3$ であった。2次成長層の抵抗率を微分ホール測定により求めたところ、 $130\text{ }\Omega\text{-cm}$ を示した。また、実施例1の結果からも明らかなように、本実施例の半導体からダイオードを作製する場合は、2次成長層の膜厚により、ダイオードの耐圧を制御することができた。

【0038】

(実施例5)

コールドウォール型のMOCVD装置を用いてGaAs(001)基板上に、表3の条件で $30\text{ }\mu\text{m}$ の厚みを有する立方晶窒化ガリウム(c-GaN)をヘテロエピタキシャル成長させた。この際、格子定数の違いによりc-GaN/GaAs界面において高密度の積層不正が発生する(図7(a))。この際の積層不正密度は $3.5 \times 10^9/\text{cm}^2$ であった。

【0039】

【表 3】

表3 実施例1におけるSiC成長条件

基板温度	1200°C
圧力	1.5Torr
HN ₃ 流量	50sccm
TMG流量	5sccm
H ₂ 流量	1slm

【0040】

次いで、この基板を熱リン酸に浸すことにより、積層欠陥部分を選択的にエッチングした。30分の熱リン酸エッチングで約5 μ mのエッチピットが形成される（図7（b））。次に表3の条件を用いて、さらにc-GaNのホモエピタキシャル成長を実施した（2次成長）。この際、エッチピットの側壁が横方向<110>方位に成長するため、{111}面に平行な積層不正の伝搬が終端され、エッチピットの深さである5 μ m以内の領域で積層不正密度がゼロとなる（図7（c））。積層不正の密度勾配は $7 \times 10^{12}/\text{cm}^3$ である。この半導体の高欠陥密度領域の電子濃度は $4 \times 10^{18}/\text{cm}^3$ であり、低欠陥密度領域の電子濃度は $8 \times 10^{14}/\text{cm}^3$ であった。その後、1200°C、1時間のアニーリングにより、GaAs基板を融かして除去した。最後にGaAs基板側に形成されていた面の全面にGeドープのAu電極を形成し、2次成長を施した面に直径300 μ m、厚み3000ÅのPt電極を形成した（図8）。GaAs基板側のAu電極はオーミックな特性を示し、その接触抵抗は $1.4 \times 10^{-8}/\text{cm}^2$ であった。

また、2次成長面のNi電極は非オーミックな特性を示し、その障壁高さは0.54eVを示した。素子の降伏電圧は2次成長層の膜厚によって変化した。表4に示すように、本方法により作製したショットキーバリアダイオードは、不純物プロファイルを有していないにも関わらず、2次成長層の膜厚で、その降伏電

圧を制御することができる。

【0 0 4 1】

【表 4】

表 4 2次成長層厚と降伏電圧の関係

2次成長層 (μm)	降伏電圧 (V)
1	0.5
2	3
3	21
4	58
5	141
7	240
10	270

【0 0 4 2】

以上、本実施例では 3C-SiC ならびに c-GaN を例に述べてきたが、本発明はこれらの化合物半導体に限られることはなく、Ⅲ-Ⅴ族化合物単結晶、またはⅡⅢ-Ⅴ族化合物単結晶、またはⅡ-Ⅵ族化合物単結晶に対して有効である。また、欠陥の種類も積層不正に限らず、反位相領域境界面であれ小傾角粒界であれ、その欠陥の伝搬方位と異なる方位の結晶成長によって欠陥の伝搬がさえぎられる限り同様の効果が得られる。また、成長方法も、気相成長ばかりではなく、液相成長であっても同様の効果を得ることができる。

【0 0 4 3】

【発明の効果】

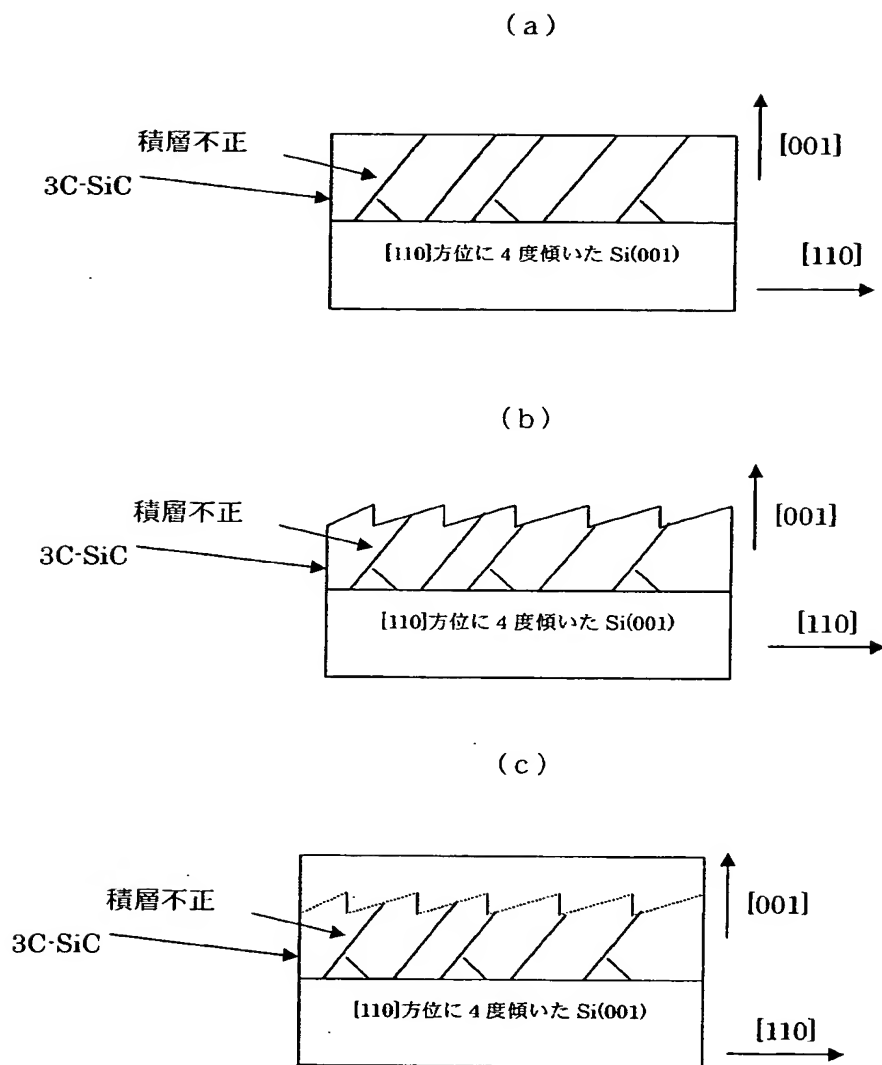
本発明によれば、降伏電圧が高く、半導体素子に好適に用いられる半導体、及びこの半導体を用いた半導体素子を提供することができる。

【図面の簡単な説明】

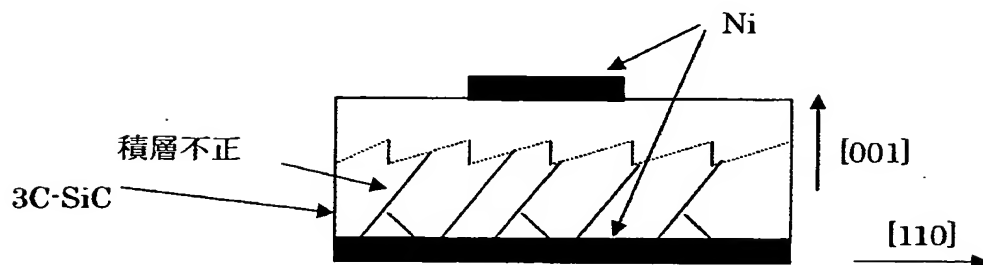
- 【図 1】 実施例 1 における結晶成長の模式図である。
- 【図 2】 実施例 1 において作製されたショットキーバリアダイオードである。
- 【図 3】 実施例 2 における結晶成長の模式図である。
- 【図 4】 実施例 3 における結晶成長の模式図である。
- 【図 5】 実施例 4 におけるエッチングの概要である。
- 【図 6】 実施例 4 における結晶成長の模式図である。
- 【図 7】 実施例 5 における結晶成長の模式図である。
- 【図 8】 実施例 5 において作製されたショットキーバリアダイオードである。

【書類名】 図面

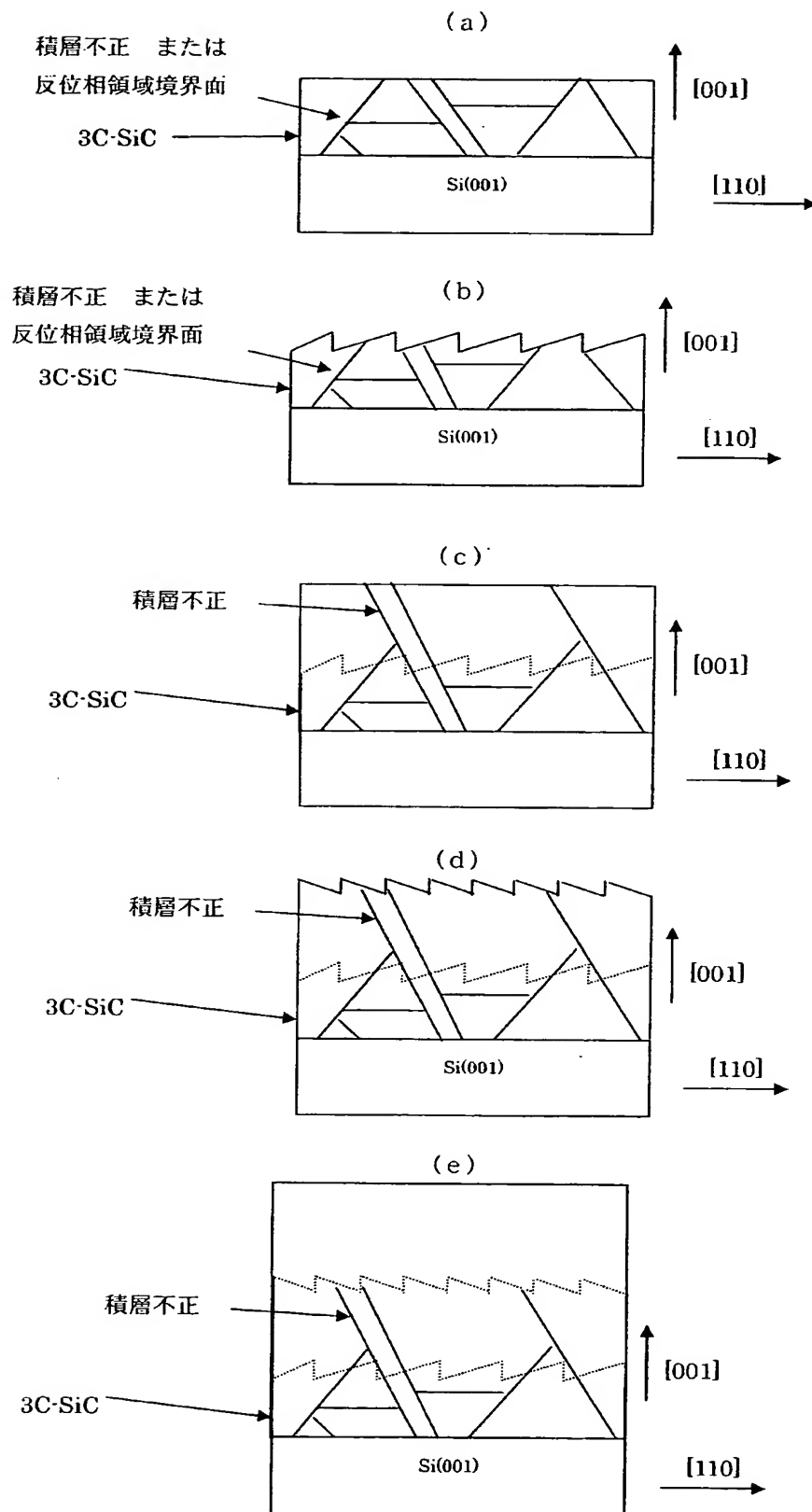
【図 1】



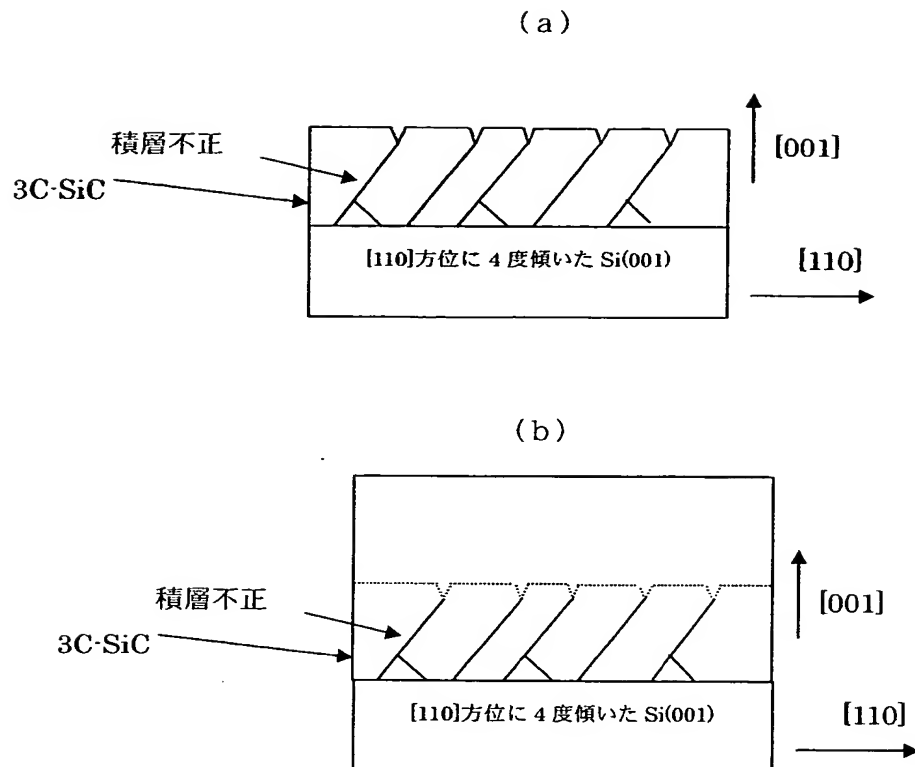
【図 2】



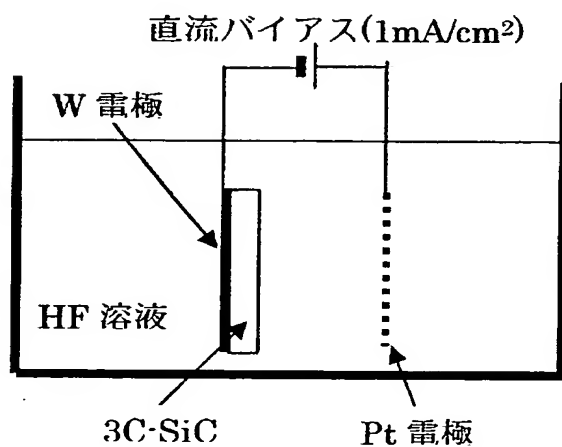
【図 3】



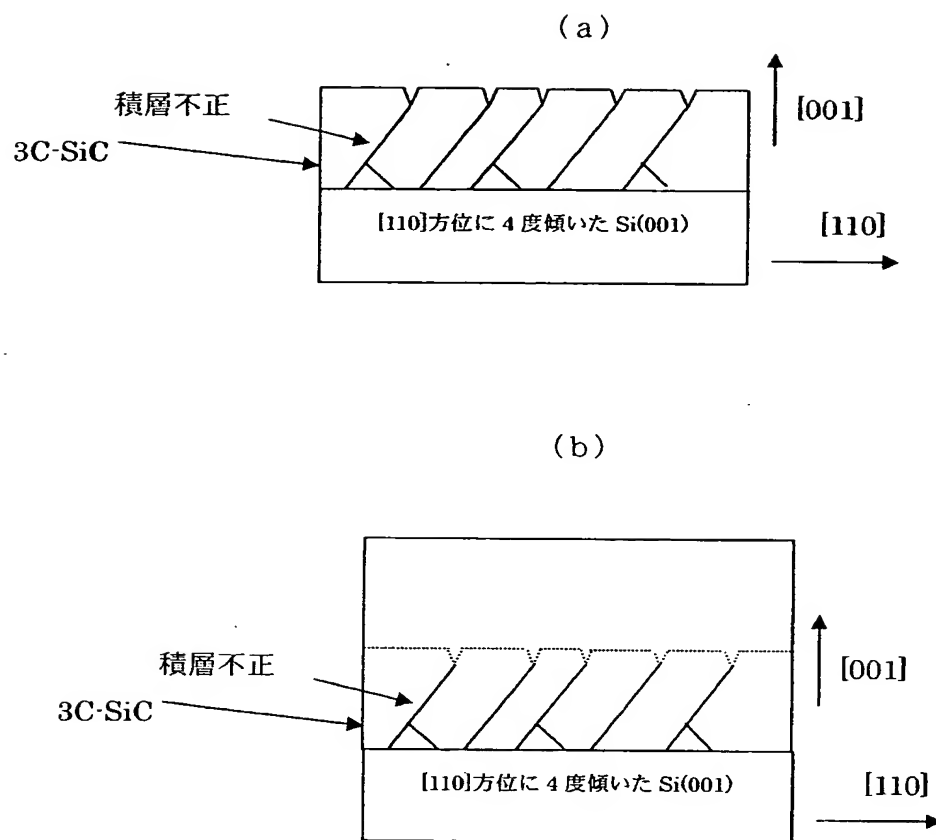
【図 4】



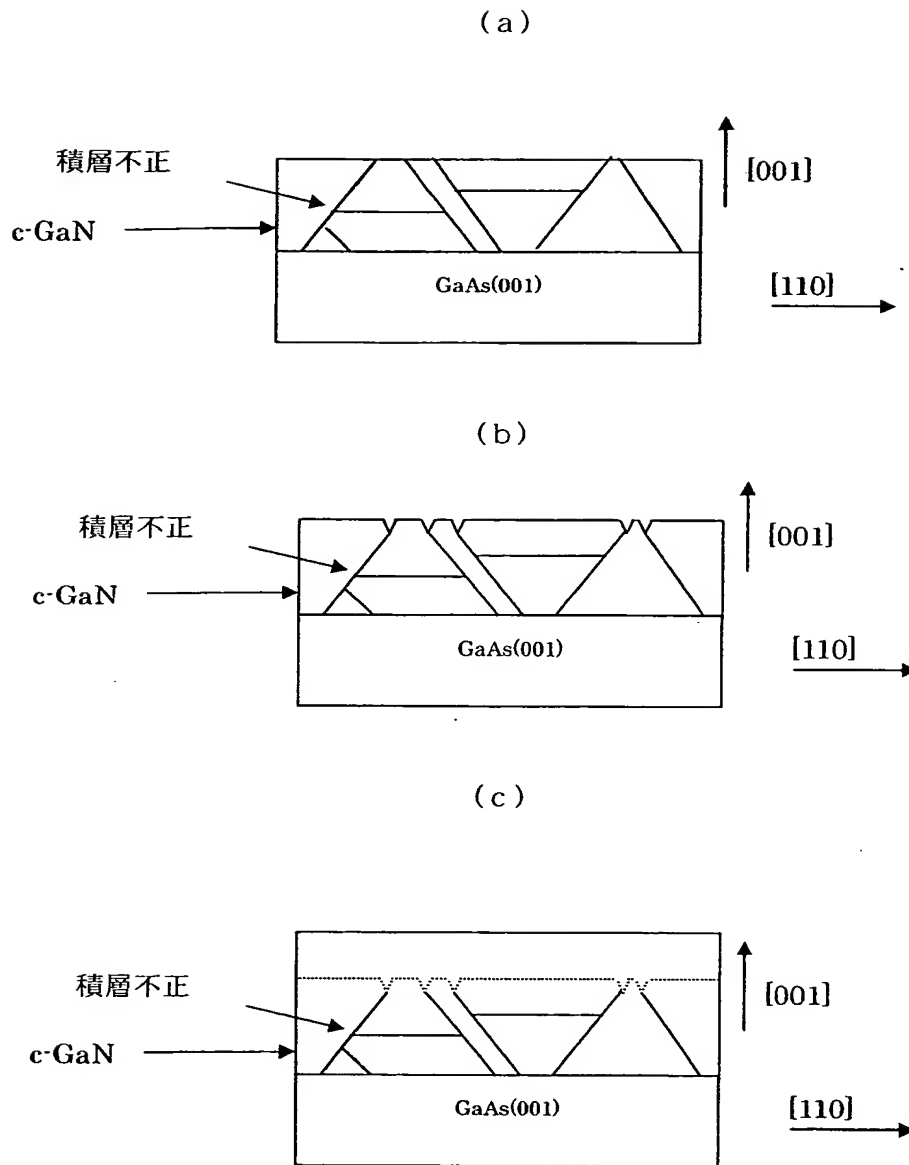
【図 5】



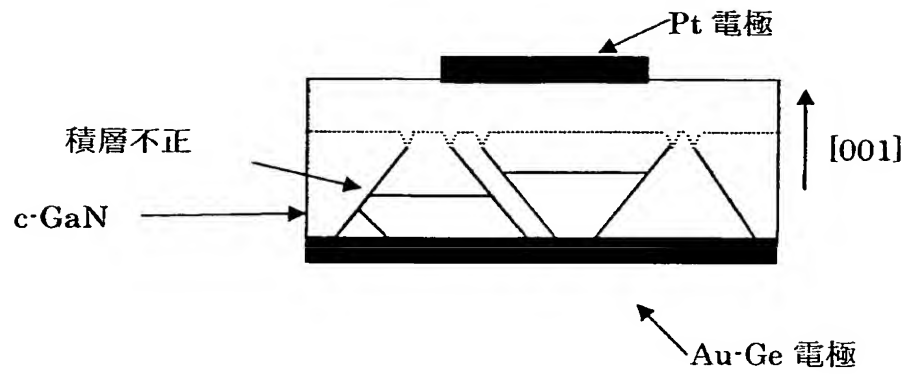
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 基板側の低抵抗化、及びその上層のエピタキシャル成長層の高抵抗化を実現した半導体及び半導体基板、その製造方法、並びにその半導体を用いる半導体素子を提供すること。

【解決手段】 化合物単結晶からなり、面欠陥密度が $1 \times 10^7 / \text{cm}^2$ 以上である領域及び面欠陥密度が $1 / \text{cm}^2$ 以下である領域を含む半導体。基板上に前記半導体を設けた半導体基板。前記半導体または半導体基板の製造方法。少なくとも一つの抵抗性接触を有する電極と、少なくとも一つの非抵抗性接触を有する半導体素子であって、前記半導体の高欠陥密度領域に抵抗性接触が形成され、かつ低欠陥密度領域に非抵抗性接触が形成されていることを特徴とする半導体素子。

【選択図】 なし

特願 2 0 0 2 - 3 6 4 0 0 9

出 願 人 履 歴 情 報

識別番号

[5 0 2 4 5 3 4 9 2]

1. 変更年月日

2 0 0 2 年 1 2 月 1 6 日

[変更理由]

新規登録

住 所

東京都昭島市武蔵野 3 丁目 3 番 1 号

氏 名

H O Y A アドバンスドセミコンダクタテクノロジーズ株式会社